# 计算机组成CPU设计文档-P8

[计算机组成CPU设计文档-P8 1](#_Toc534129026)

[整体结构与概览 2](#_Toc534129027)

[1、 CPU基本参数与指标 2](#_Toc534129028)

[2、 CPU模块结构 2](#_Toc534129029)

[一、 模块规格（数据通路） 4](#_Toc534129030)

[1、 数据通路 4](#_Toc534129031)

[2、 IFU（取指令单元） 6](#_Toc534129032)

[3、 GRF（通用寄存器组） 7](#_Toc534129033)

[4、 Ext（位数扩展器） 8](#_Toc534129034)

[5、 CMP（分支条件判断） 8](#_Toc534129035)

[6、 NPC（分支跳转指令地址计算器） 8](#_Toc534129036)

[7、 IDU（指令译码单元） 9](#_Toc534129037)

[8、 ALU（逻辑运算单元） 9](#_Toc534129038)

[9、 BED（字节使能译码器） 10](#_Toc534129039)

[10、 DM（数据存储器） 11](#_Toc534129040)

[11、 MDS（主存数据选择器） 11](#_Toc534129041)

[12、 MOV（主存操作验证器） 12](#_Toc534129042)

[13、 CP0（协处理器） 12](#_Toc534129043)

[14、 PipeReg（流水线寄存器） 13](#_Toc534129044)

[二、 模块规格（控制电路） 14](#_Toc534129045)

[三、 CPU功能测试 22](#_Toc534129046)

[1、 功能测试原则 22](#_Toc534129047)

[2、 测试策略 22](#_Toc534129048)

[3、 测试实例 22](#_Toc534129049)

[四、本章思考题 27](#_Toc534129050)

[五、有关CPU扩展的说明 29](#_Toc534129051)

## 整体结构与概览

## CPU基本参数与指标

处理器类型：流水线CPU

处理器字长：32位

处理器支持指令集：



中断异常支持：精确异常+优先型外部中断

## CPU模块结构

### 数据通路

1. IFU（取指令单元）：包括PC和存放指令的ROM，用于输出当前指令码。
2. GRF（通用寄存器组）：内含32个寄存器，支持对寄存器值的读写。
3. ALU（算术逻辑单元）：运算执行部件，对32位数执行多种运算。
4. DM（数据存储器）：存储数据部件，支持读写。
5. BED（字节使能译码器）：根据主控信号，输出DM的字写入使能。
6. MDS（主存数据选择器）：根据主控信号，将DM输出的字进行处理。
7. EXT（位扩展器）：将16位数扩展为32位数，支持有/无符号扩展。
8. NPC（外部跳转分支计算器）：支持跳转计算和分支计算与判断，若为分支指令，会根据CMP结果选择正确的pc值。
9. CMP（分支比较器）：根据指令条件设置，返回判断结果。
10. MOV（主存操作验证器）：验证对主存及外部设备的操作合乎规范。
11. IDU（指令译码单元）：对输入指令进行单指令译码和类型译码。
12. CP0（协处理器）：外部中断请求协调与中断异常处理的控制与记录。
13. PipeReg（流水线寄存器层）：实现CPU流水并行效果，上升沿时接受前一层运行完且需要传递至下一级的数据，其他时刻释放本层功能所需的数据。一共分为FD，DE，EM，MW四层。
14. FuncMux（功能多选器）：对同一端口多个数据源进行筛选，目前有AluSrc、AluSel、WaSel、WdSel四个。
15. TMux（转发多选器）：用于转发解决冲突时所使用的多选器，目前有GRF\_RD1, GRF\_RD2, DE\_RD1, DE\_RD2, EM\_RD2。
16. EMux（异常多选器）：用于筛选每一级所流经的内部异常代码。

### 控制信号

1. 主控器：识别指令并生成CPU各部分的控制信号，使用逻辑阵列实现。
2. 冲突控制器：
   1. GID：通用指令译码器：根据所给指令和流水线段，返回Tuse、Tnew、写地址、数据管道等参数。
   2. STALL：暂停控制器，输出是否暂停的指令。
   3. TRANSMIT：转发控制器，输出5个转发多选器的控制信号。
   4. ExcCTRL：异常启动控制器，用于启动中断异常时的CPU全局操作。

## 模块规格（数据通路）

## 数据通路

表格 1 数据通路端口合成-无转发



表格 2 数据通路端口合成-转发



表格 3 转发多选器



## IFU（取指令单元）

### 端口

表格 4 IFU端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| Clock | In | 控制信号，接受时钟信号 |
| Reset | In | 控制信号，接受Pc同步复位信号 |
| Branch\_Jump | In | 控制信号，是否接受NPC输出作为PC新值 |
| Pc\_Update[31:0] | In | 数据通路，分支/跳转指令中接受PC更新值 |
| PC4[31:0] | Out | 数据通路，输出PC+4（32位**Byte编址**） |
| Instr[31:0] | Out | 数据通路，输出32位指令二进制码 |
| PC[31:0] | Out | 调试信号，输出PC（32位**Byte编址**） |
| IF\_Error | Out | 数据通路，取指错误信号 |

### 功能描述

* IFU主要由PC和存放指令的ROM组成，用于取出指令和PC更新。
* ROM规格为2048\*32bits，**字编址（访问时需地址转换）**。
* PC为32位二进制，起始地址为0x00003000，**字节编址**，支持向字编址转换（除4）。

### 注意事项

* ROM和RAM部件的地址端口为字编址地址。为保证兼容性，该设计在顶层设计时用字节编址，而在次层具体部件设计时会进行字编址转换。

## GRF（通用寄存器组）

### 端口

表格 5 GRF端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| Clock | In | 控制信号，接受时钟信号 |
| Reset | In | 控制信号，接受同步复位信号 |
| RegWrite | In | 控制信号，接受寄存器写使能信号 |
| ReadAddr1/R[4:0] | In | 数据通路，读，接受Rs寄存器地址 |
| ReadAddr2/R[4:0] | In | 数据通路，读，接受Rt寄存器地址 |
| WriteAddr/W[4:0] | In | 数据通路，写，接受被写入寄存器地址 |
| WriteData/W[31:0] | In | 数据通路，写，接受被写入数据 |
| RegData1/R[31:0] | Out | 数据通路，读，输出Rs寄存器值 |
| RegData2/R[31:0] | Out | 数据通路，读，输出Rt寄存器值 |
| WPC[31:0] | None | 调试信号，用于寄存器写时display |

### 功能描述

* GRF中共有32个寄存器，对应MARS中的32个通用寄存器。（注意：不包括hi，lo，pc寄存器。）
* 读：GRF读功能时作为组合逻辑电路，根据输入地址信号，输出数据。
* 写：GRF写功能作为时序逻辑电路，相应的Addr, Data, RegWrite应在时钟上升沿前做好准备。

### 备注

* 此版本GRF读写功能的地址和数据端口独立，可实现同步读写操作。
* 0号寄存器恒为0值，不可被改写。

## Ext（位数扩展器）

表格 6 16-32位扩展器端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| ExtOp | In | 控制信号，控制扩展方式（0-zero，1-sign） |
| In[15:0] | In | 数据通路，接收待扩展的16位数字。 |
| Out[31:0] | Out | 数据通路，输出扩展后的32位数字。 |

## CMP（分支条件判断）

表格 7 CMP端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| CmpOp | In | 控制信号，指定branch指令比较策略（0-equal） |
| A[31:0] | In | 数据通路，比较数A |
| B[31:0] | In | 数据通路，比较数B |
| Cmp | Out | 比较结果（1-成立，0-不成立） |

## NPC（分支跳转指令地址计算器）

表格 8 NPC端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| nPc\_Sel[2:0] | In | 控制信号，控制地址计算方式  （0-branch，1-j/jal，2-jr，3-eret） |
| Cmp | In | 数据通路，接受CMP的分支决策信号。(beq) |
| Im32[31:0] | In | 数据通路，接受EXT的**符号扩展**立即数。(beq) |
| Im26[25:0] | In | 数据通路，接受指令中的26位立即数。(j/jal) |
| Pc4[31:0] | In | 数据通路，接受当前指令Pc+4。（j/jal/beq） |
| RegPc[31:0] | In | 数据通路，接受从寄存器中读取的跳转值。（jr） |
| EPC[31:0] | In | 数据通路，接受从CP0读取的epc值。(eret) |
| Pc\_Update[31:0] | Out | 数据通路，输出PC分支跳转计算的地址。 |
| Slot | Out | 数据通路，NPC延迟槽判断情况（部分判据） |

## IDU（指令译码单元）

表格 9 IDU端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| IR[31:0] | In | 数据通路，D级指令 |
| IRN | Out | 数据通路，指令译码号 |
| IRType | Out | 数据通路，指令分类译码号（存在未分类指令） |
| IDU\_Error | Out | 数据通路，指令未识别信号（1-未识别） |

## ALU（逻辑运算单元）

### 端口

表格 10 ALU端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| AluOp[3:0] | In | 控制信号，接受算术逻辑信号 |
| A[31:0] | In | 数据通路，接受算术逻辑操作数A |
| B[31:0] | In | 数据通路，接受算术逻辑操作数B |
| C[4:0] | In | 数据通路，接受算术逻辑操作数C（常于移位） |
| Result[31:0] | Out | 数据通路，输出结果 |
| Alu\_Error | Out | 数据通路，算术溢出错误信号 |

### 功能描述

* ALU受AluController的控制信号控制，输出不同的算术逻辑结果：

表格 11 ALU功能表

|  |  |  |
| --- | --- | --- |
| AluOp | 功能 | 适用指令 |
| 0 | A + B | add addu addi addiu ld st |
| 1 | A - B | sub subu |
| 2 | B << s | sll |
| 3 | B >> s | srl |
| 4 | Signed B >> s | sra |
| 5 | B << A[4:0] | sllv |
| 6 | B >> A[4:0] | srlv |
| 7 | Signed B >> A[4:0] | srav |
| 8 | A and B | and andi |
| 9 | A or B | or ori |
| 10 | A xor B | xor xori |
| 11 | A nor B | nor |
| 12 | set 1 if A < B Signed | slt slti |
| 13 | set 1 if A < B Unsiged | sltu sltiu |
| 14 | B << 16 | lui |
| 15 | B+4 | jal jalr |
| other | 0 | other |

\* 黄色高亮符号代表此指令是一类指令。

## BED（字节使能译码器）

表格 12 BED端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| StoreType[1:0] | In | 控制信号，接受存储位（字-半字-字节） |
| Addr[1:0] | In | 数据通路，地址后两位。 |
| MemWrite | In | 控制信号，写使能 |
| ByteEnable[3:0] | Out | 数据通路，输出Addr[31:2]对应字允许写入的字节位置，以独热码形式输出。  ByteEnable[3] = 1 : [31:24] WriteEnable  ByteEnable[2] = 1 : [23:16] WriteEnable  ByteEnable[1] = 1 : [15:8] WriteEnable  ByteEnable[0] = 1 : [7:0] WriteEnable |

## DM（数据存储器）

### 端口

表格 13 数据存储器端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| Clock1 | In | 控制信号，接受时钟信号 |
| Clock2 | In | 控制信号，接受双倍时钟信号（Block RAM） |
| Reset | In | 控制信号，接受同步复位信号 |
| ByteEnable[3:0] | In | 数据通路，写字节使能信号。 |
| MemAddr[31:0] | In | 数据通路，接受**读/写**操作地址, **byte编址** |
| WriteData[31:0] | In | 数据通路，写，写入数据 |
| ReadData[31:0] | Out | 数据通路，读，输出数据 |
| WPC[31:0] | None | 调试信号，用于主存写时display |

### 描述

* 数据存储器使用RAM实现，容量为2048\*32bits，RAM**字节编址**。
* 读/写共用一个地址端口，同一时钟周期只能进行读/写的其中之一。
* 起始地址：0x00000000。
* 由于BlockRAM行为限制，P8中使用ByteEnable替代MemWrite作为写信号。

## MDS（主存数据选择器）

表格 14 MDS端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| LoadType[1:0] | In | 控制信号，接受输出位宽（字-半字-字节） |
| SignRead | In | 控制信号，结果扩展（1-符号，0-无符号） |
| MemRead | In | 控制信号，读使能 |
| Addr[1:0] | In | 数据通路，**字节编址**地址后两位 |
| Word[31:0] | In | 数据通路，按字读取的数据 |
| RD[31:0] | Out | 数据通路，指定位宽、拓展、地址的输出数据 |

## MOV（主存操作验证器）

表格 15 MOV端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| IR[31:0] | In | 数据通路，M级指令内容 |
| Addr[31:0] | In | 数据通路，主存操作（读取）地址 |
| MOV\_Error | Out | 数据通路，操作验证信号（1-错误，0-正确） |

## CP0（协处理器）

表格 16 协处理器端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| Clock | In | 控制信号，时钟信号 |
| Reset | In | 控制信号，同步复位信号 |
| We | In | 控制信号，写使能信号（mtc0） |
| ExlSet | In | 控制信号，中断异常位置位信号（中断异常时） |
| ExlClr | In | 控制信号，中断异常位释位信号（eret） |
| RA[4:0] | In | 数据通路，读取CP0寄存器地址IR[rd] |
| WA[4:0] | In | 数据通路，写入CP0寄存器地址IR[rd] |
| WD[31:0] | In | 数据通路，写入数据GRF[Rt] |
| PC[31:0] | In | 数据通路，M级指令的pc值 |
| ExcCode[6:2] | In | 数据通路，中断异常代码（中断异常时） |
| BD | In | 数据通路，受害指令延迟槽属性（中断异常时） |
| HWInt[5:0] | In | 数据通路，外设中断请求 |
| IntReq | Out | 数据通路，中断请求 |
| EPC[31:0] | Out | 数据通路，EPC寄存器值 |
| RD[31:0] | Out | 数据通路，CP0读出数据 |

1. CP0作为协处理器有多个身份：
   * 外务协调官：接受外部设备的中断请求，根据实际情况决定是否中断。
   * 书记员：在中断异常开始时，“无指令操作”地记录下中断异常的数据。
   * 资料员：能够用指令对齐内容进行操作，读取和更改其寄存器的值。
2. CP0对寄存器值的写操作均在M级，读操作除了EPC为均在M级，因此在写操作后面紧跟的eret指令需要暂停或转发。

## PipeReg（流水线寄存器）

表格 17 PipeReg端口表

|  |  |  |
| --- | --- | --- |
| 流水线级别 | 端口 | 功能描述 |
| FD段 | F\_IR → FD\_IR | D段指令 |
| F\_Pc4 → FD\_Pc4 | D段PC+4 |
| F\_Pc → FD\_Pc | D段PC（display） |
| F\_ExcCode → FD\_ExcCode | D段异常代码 |
| F\_BD → FD\_BD | D段延迟槽标记 |
| DE段 | D\_IR → DE\_IR | E段指令 |
| D\_Pc4 → DE\_Pc4 | E段Pc+4 |
| D\_RD1 → DE\_RD1 | E段GRF[RS] |
| D\_RD2 → DE\_RD2 | E段GRF[RT] |
| D\_EXT → DE\_EXT | E段扩展立即数 |
| D\_Pc → DE\_Pc | E段PC（display） |
| D\_ExcCode → DE\_ExcCode | E段异常代码 |
| D\_BD → DE\_BD | E段延迟槽标记 |
| EM段 | E\_IR → EM\_IR | M段指令 |
| E\_ALU → EM\_ALU | M段ALU计算结果 |
| E\_RD2 → EM\_RD2 | M段GRF[RT] |
| E\_Pc → EM\_Pc | M段PC（display） |
| E\_ExcCode → EM\_ExcCode | M段异常代码 |
| EM\_BD → EM\_BD | M段延迟槽标记 |
| MW段 | M\_IR → MW\_IR | W段指令 |
| M\_ALU → MW\_ALU | W段ALU计算结果 |
| M\_MD → MW\_MD | W段Memory读取结果 |
| M\_Pc → MW\_Pc | W段Pc（display） |
| M\_CP0 → MW\_CP0 | W段CP0读取值 |

## 模块规格（控制电路）

与单周期CPU不同的是，流水线CPU在运行中存在结构冒险、数据冒险和控制冒险三种冒险问题。结构冒险利用GRF和指令数据DM分离的方式已经解决，控制冒险使用分支跳转提前+延迟槽的方式实现，而数据冒险需要使用暂停和转发逻辑实现。

综上，控制电路分为主控单元MainController和冒险控制单元HazardController。

### Controller 主控单元

* 1. 端口

表格 18 主控单元端口功能表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能（所在通路，作用部件，描述） |
| Op[5:0] | In | 数据通路，指令的Instr[31:26] |
| Func[5:0] | In | 数据通路，指令的Instr[5:0] |
| D\_Branch\_Jump | Out | 通用控制，IF，IF接受外部Pc更新信号（1-允许，0-不允许） |
| D\_ExtOp | Out | 个性控制，16-32位扩展类型（1-符号扩展，0-无符号扩展） |
| D\_nPc\_Sel[2:0] | Out | 通用控制，PC分支跳转类型  0：Branch  1：Jump/Jal  2：Jr  3：EPC |
| D\_CmpOp | Out | 个性控制，Branch指令比较策略 |
| E\_AluSrc[1:0] | Out | 通用控制，MUX，ALU-B端口选择器信号（1-扩展器，0-RD2） |
| E\_AluOp[3:0] | Out | 个性控制，ALU，ALU驱动信号（具体请参加ALU功能表） |
| E\_HWClr | Out | 异常控制，清除延迟槽指令。 |
| M\_MemRead | Out | 通用控制，Mem，Mem读使能信号（1-允许，0-不允许:高阻） |
| M\_MemWrite | Out | 通用控制，Mem，Mem写使能信号（1-允许，0-不允许） |
| M\_StoreType[1:0] | Out | 个性控制，存储位宽选择（0-字，1-半字，2-字节） |
| M\_LoadType[1:0] | Out | 个性控制，加载位宽选择（0-字，1-半字，2-字节） |
| M\_ExlClr | Out | 异常控制，CP0中断异常位释位。 |
| M\_CP0WE | Out | CP0控制，CP0写使能。 |
| SignRead | Out | 个性控制，加载内容扩展方式（0-无符号，1-符号） |
| W\_WaSel[1:0] | Out | 通用控制，MUX，GRF写地址选择  0：Rt  1：Rs  2：31 |
| W\_WdSel[1:0] | Out | 通用控制，MUX，GRF写数据选择  0：Alu  1：Memory |
| W\_RegWrite | Out | 通用控制，GRF，GRF写使能信号 （1–允许，0-不允许） |

\*通用控制：该控制信号能够直接在“指令类型”层面进行定义。

\*\*个性控制：该控制信号需要在“具体某条指令”层面进行定义（常见于同类指令中不同功能）。

* 1. 信号真值表

1. 通用控制信号：

表格 19主控单元通用控制信号真值表



1. 个性控制：ExtOp

表格 20 ExtOp



1. 个性控制：CmpOp

表格 21 CmpOp



1. 个性控制：AluOp

表格 22 AluOp



1. 个性控制：Store\_Type

表格 23 Store Type



1. 个性控制：Load\_Type

表格 24 Load Type



1. 个性控制：SignRead

表格 25 SignRead



### Hazard冲突控制单元

* 1. 概览

冲突控制是目前流水线CPU与单周期CPU差异最大的地方，在实现上也具有一定难度。本CPU的冲突控制单元主要解决的是数据冒险问题，（结构冒险和控制冒险已通过功能部件和数据通路构造），通过“流水线工程化”[[1]](#footnote-1)方法，主要比较Tnew、Tuse等值，即可实现对应的转发和暂停策略。

强抽象：在弱抽象基础上，将指令抽象为Tnew、Tuse、rwnz等运行指标。 CPU的冲突控制单元正是建立在这种强抽象上的。

弱抽象：根据指令代码结构和功能划分为calr、cali、branch等信号。

* 1. General Instruction Decoder （通用指令译码器）

流水线工程化方法实质是对各级指令所对应的Tnew、Tuse、操作寄存器等参数进行比对，形成解决策略。由于每条指令的参数不相同，为模块化功能，设计了“通用指令译码器”进行一系列参数的计算。

表格 26 GID端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| IR[31:0] | In | 数据通路，对应流水段指令 |
| Pipe[2:0] | In | 数据通路，流水段编号（F-1，D-2，E-3，M-4） |
| Tuse\_Rs[2:0] | Out | 数据通路，当前流水段Rs的Tuse  no\_more\_use = 7 |
| Tuse\_Rt[2:0] | Out | 数据通路，当前流水段Rt的Tuse  no\_more\_use = 7 |
| RegWriteNonZero | Out | 数据通路，当前指令是否**向非零寄存器写值** |
| A3 | Out | 数据通路，当前指令写入寄存器地址  Rt：lw、cali、mtc0  Rd：calr、jalr  $31：jal |
| Tnew[2:0] | Out | 数据通路，当前指令产生写入结果所需时间  no\_more\_new = 0 |
| Dport[2:0] | Out | 数据通路，当前指令写入结果所在寄存器“管口”  1：EM\_ALU  2：MW\_ALU  3：MW\_MD  4：MW\_CP0 |
| HiLo | Out | 数据通路，当前指令是否涉及Hi、Lo寄存器的操作 |

表格 27 指令分类与读写功能统计表格



表格 28 F段Tuse

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Tuse | | | | | | | | | | | |
| IF/ID | | | | | | | | | | | |
| calr/rs/1 | calr/rt/1 | cali/rs/1 | cali/rt/1 | ld/rs/1 | st/rs/1 | st/rt/2 | btype/rs/0 | btype/rt/0 | jr/rs/0 | jalr/rs/0 | mtc0/rt/2 |

表格 29 各级Tnew（仅针对产生写的指令）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Tnew | | | | | |
| ID/EX | | | | | |
| calr/rd/1 | cali/rt/1 | ld/rt/2 | jal/$31/1 | jalr/rd/1 | mfc0/rt/2 |
| EX/MEM | | | | | |
| calr/rd/0 | cali/rt/0 | ld/rt/1 | jal/$31/0 | jalr/rd/0 | mfc0/rt/1 |
| MEM/WB | | | | | |
| calr/rd/0 | cali/rt/0 | ld/rt/0 | jal/$31/0 | jalr/rd/0 | mfc0/rt/0 |

* 1. STALL暂停控制模块

表格 30 STALL暂停控制模块端口

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| FD\_IR[31:0] | In | 数据通路，D段指令 |
| DE\_IR[31:0] | In | 数据通路，E段指令 |
| EM\_IR[31:0] | In | 数据通路，M段指令 |
| MW\_IR[31:0] | In | 数据通路，W段指令 |
| Stall | Out | 数据通路，暂停信号 |

暂停判断逻辑基于GID返回的参数结果，判断式中不含有具体的指令类型，因此具有可延伸性。具体判断逻辑式如下（以Rs与第X段判断和XALU乘除法判断为例）：

\*：当E级为ERET时，不能暂停，否则将导致ERET延迟槽清除功能出现问题。

* 1. TRANSMIT转发控制模块

表格 31 TRANSMIT端口

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| FD\_IR[31:0] | In | 数据通路，D段指令 |
| DE\_IR[31:0] | In | 数据通路，E段指令 |
| EM\_IR[31:0] | In | 数据通路，M段指令 |
| MW\_IR[31:0] | In | 数据通路，W段指令 |
| TMux\_GRF\_RD1\_Sel[2:0] | Out | 数据通路，TMux\_GRF\_RD2转发器选择信号 |
| TMux\_GRF\_RD2\_Sel[2:0] | Out | 数据通路，TMux\_GRF\_RD2转发器选择信号 |
| TMux\_EM\_RD1\_Sel[2:0] | Out | 数据通路，TMux\_GRF\_RD2转发器选择信号 |
| TMux\_EM\_RD2\_Sel[2:0] | Out | 数据通路，TMux\_GRF\_RD2转发器选择信号 |
| TMux\_MW\_RD2\_Sel[2:0] | Out | 数据通路，TMux\_GRF\_RD2转发器选择信号 |

转发采用了改进的“暴力转发，随时转发”策略，其意思为：被转发位置的指令无论是否需要用到某个寄存器的值，一旦此寄存器的新值在后续流水段中已经产生，则会进行转发。当多个后级流水线转发时，级数较低的优先级更高。

以TMux\_GRF\_RD1接受X段PORT“寄存器管口”更新值为例：

* 1. TMux（转发多选器）

转发多选器TMux规格是同样的，其每个端口所对应供给者是固定的，因此存在空缺端口的情况。

表格 32 TMUX端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| TMux\_Sel[2:0] | In | 控制信号，转发器选择信号 |
| Ori[31:0] | In | 数据通路，原始通路 |
| EM\_ALU[31:0] | In | 数据通路，EM 的ALU供给者 |
| MW\_ALU[31:0] | In | 数据通路，MW的ALU供给者 |
| MW\_MD | In | 数据通路，MW的MD供给者 |
| MW\_CP0 | In | 数据通路，MW的CP0供给者 |
| Forward[31:0] | Out | 数据通路，通路正确结果 |

### Exception Controller（异常控制单元）

异常控制单元主要用于“非指令”地启动异常处理机制，当中断异常信号送达控制单元后，单元会发出多个操作信号，“纠正”处理器进入异常处理。

表格 33 EXCCTRL端口表

|  |  |  |
| --- | --- | --- |
| 端口名称 | 类型 | 功能描述 |
| IntReq | In | 数据通路，接受CP0的中断请求信号。 |
| ExcCode[6:2] | In | 数据通路，接受M级汇总的异常代码。 |
| BD | In | 数据通路，接受M级指令延迟槽属性。 |
| ExlSet | Out | 通用控制，CP0，中断异常位置位 |
| PPClr | Out | 通用控制，PipeReg，流水寄存器清空信号 |
| WriteProtect | Out | 通用控制，E、M级记忆部件，写保护 |
| Handler | Out | 通用控制，IF，异常处理代码优先加载 |
| ExcSel | Out | 个性控制，中断与异常错误代码选择 |
| PcSel | Out | 个性控制，EPC存入值选择 |

* 1. CP0的所有写操作均在M级，唯一需要考虑冲突的是mtc0与eret的epc读取。
  2. Handler对IF中异常代码的调取优先级“仅次于全局同步复位”。
  3. 写保护部件不包括GRF，因为W级指令会正常执行。

## CPU功能测试

## 功能测试原则

* 所测试的指令不能够超出CPU支持的范围。（谨防同指令标识的拓展指令。）
* 测试的首要目标：全面覆盖性（例如：冲突覆盖、单指令界限等）。
* 测试步骤：功能性检查 -> 抽象模块GID正确性检查->冒险覆盖性测试（暂停+转发）->Auto异常检查->Manual异常检查->中断检查

## 测试策略

1. 数据通路检查：

策略：按照53条指令功能进行测试+转发测试。

请参见[“MIPS测试策略(功能测试)”](MIPS测试策略(功能测试).docx)。

1. 抽象模块GID正确性检查

原因：除去乘除模块busy信号导致的暂停，其余暂停和转发选择信号都是依据GID模块抽象出的运行参数进行判断，因此首先对GID模块的“抽象功能”进行覆盖性检测。（53条指令\*4流水线段）

1. 冒险覆盖性测试：
   1. 暂停：枚举所有STOP情况和部分NOSTOP情况，观察Stall信号。
   2. 转发：覆盖性测试，自动化评测。

## 测试实例

### 单指令正确性检查

请参见[“MIPS测试策略(功能测试)”](MIPS测试策略(功能测试).docx)。

### 冲突控制信号（暂停）检查

暂停控制采用弱抽象，在GID抽象模型已正确的情况下，通过表格枚举calr, cali, ld, st, branch, j, jal, jr, jalr 九类指令的暂停情况，对于一类指令，其具体指令随机选择。

测试表格如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 编号 | 位置 | 前序指令 | 冲突寄存器 | 实例代码 |
| 1 | F-D | ld | Rt | lw $1, 0($2)  sub $2, $2, $1 |
| 2 | F-D | ld | Rs | lh $2, $0($3)  ori $3, $2, 1 |
| 3 | F-D | ld | Rs | lb $1, 0($2)  lw $2, 0($1) |
| 4 | F-D | ld | Rs | lhu $1, 0($2)  sh $2, 0($1) |
| 5 | F-D | ld | None | lbu $1, 0($2)  sw $1, 0($0) |
| 6 | F-D | ld | Rt | lw $1, 0($0)  beq $2,$1,label |
| 7 | F-D | ld | Rs | lw $1, 0($0)  jr $1 |
| 8 | F-D | ld | Rs | lw $1,0($0)  jalr $ra $1 |
| 9 | F-D | calr | Rs | addu $1,$2,$3  beq $1,$2,label |
| 10 | F-D | cali | Rs | ori $1,$0,100  bgtz $1,label |
| 11 | F-D | calr | Rs | addu $1,$2,$3  jr $1 |
| 12 | F-D | cali | Rs | lui $1,0xf  jr $1 |
| 13 | F-D | calr | Rs | srav $1 $2 $3  jalr $ra $1 |
| 14 | F-D | cali | Rs | xori $1 $0 0  jalr $ra $1 |
| 15 | F-E | nop, ld | Rs | lbu $1 0($1)  nop  bne $1,$2,label |
| 16 | F-E | nop, ld | Rs | lhu $1 0($1)  nop  jr $1 |
| 17 | F-E | nop, ld | Rs | lb $1 0($1)  nop  jalr $1 |
| 21 | F-D | mfc0 | Rs | mfc0 $5 $14  calr $3 $5 $7 |
| 22 | F-E | mfc0 | Rs | mfc0 $5 $14  jr $5 |
| 23 | ERET | mtc0 |  | mtc0 $5 $12  eret |

表格 34 暂停测试表格

### 转发覆盖性检查

在p5中，由lite指令集合的转发组合已经达到上百种，在50条指令的p6中若采用此方法，已经不再现实。因此，转发策略要建立在更加抽象的模型上。

1. CPU的转发策略检测基于供给-需求者模型，一共建立起了（5+5+4+5）=19条转发路径。
2. 分析每条转发路径上可行的供给者和需求者，得到如下的表格：

表格 35 供给-需求者弱抽象表格

|  |  |  |
| --- | --- | --- |
|  | 需求者 | 供给者 |
| D-M-RS-1 | branch,jr,jalr | calr,cali,jal,jalr |
| D-M-RT-1 | branch | calr,cali,jal,jalr |
| D-W-RS-2 | branch,jr,jalr | calr,cali,jal,jalr,ld |
| D-W-RT-2 | branch | calr,cali,jal,jalr,ld |
| D-W-RS-3 | branch,jr,jalr | ld |
| D-W-RT-3 | branch | ld |
| D-W-RS-4 | branch,jr,jalr | mfc0 |
| D-W-RT-4 | branch | mfc0 |
| E-M-RS-1 | calr,cali,st,ld | calr,cali,jal,jalr |
| E-M-RT-1 | calr | calr,cali,jal,jalr |
| E-W-RS-2 | calr,cali,st,ld | calr,cali,ld,jal,jalr |
| E-W-RT-2 | calr | calr,cali,ld,jal,jalr |
| E-W-RS-3 | calr,cali,st,ld | ld |
| E-W-RS-3 | calr,cali,st,ld | mfc0 |
| E-W-RT-3 | calr | ld |
| E-W-RT-4 | calr | mfc0 |
| M-W-RT-2 | st | calr,cali,ld,jal,jalr |
| M-W-RT-3 | st | ld |
| M-W-RT-4 | st, mtc0 | mfc0 |

1. 借助于GID完全覆盖性测试的结果，将需求者弱抽象，将供给者强抽象模型，得到“强抽象供给者”-“弱抽象需求者”的对应图：

图 1 强抽象供给者”-“弱抽象需求者

1. 穷尽图中的“每一条边”-42条（同一个抽象模型中具体指令随机选择），即可完成基于抽象模型的覆盖性测试。

\* ：强抽象：在弱抽象基础上，将指令抽象为Tnew、Tuse、rwnz等运行指标。 CPU的冲突控制单元正是建立在这种强抽象上的。

弱抽象：根据指令代码结构和功能划分为calr、cali、branch等信号。

\*\*：抽象覆盖性测试的前提是“GID覆盖性测试完全充分”。

\*\*\*：测试原理：加法变成乘法（类比于用二维地址表示一维数据）。

\*\*\*\*：强抽象同类划分参考依据：在不同的流水段中，Tnew和D-Port完全相同，且目标寄存器相同时A3和RWNZ相同。

### Auto异常检查与Manual异常检查

根据表格对异常的分类，编写“抽查”型的测试程序，对于Mars能够识别的异常进行自动检查；不能够识别的异常手工查验运行过程。

手工查验运行过程的几个层次（输出行为级-波形级（异常信号流水、CP0等））



### 外部中断处理

外部中断处理是P8的一个难点，也是比较难测出正确性的一部分，重点在于讨论受害指令的类型，经过思考，我给出了对受害指令的三个考虑维度，来编写测试程序：

1. 被中断指令的来源？软件：硬件。
   * 软件：代码
   * 硬件互锁（暂停和eret产生的nop）
2. 延迟槽性质？
   * 不是延迟槽指令
   * 是延迟槽指令（Branch+JType）
3. 在到达M级前是否已经对时序部件产生影响？
   * 是：mult、div等指令(p8无需考虑)
   * 否：其他指令

中断检测方式大致为：外设读写正常性检查->外部中断功能检查->单维度检查->多维度检查。

## 四、本章思考题

* 请查阅相关资料，说一说什么是「FPGA技术」？它有哪些好处和缺陷？

答：FPGA是中文为现场可编程逻辑阵列，是一种可以利用硬件描述语言进行实时内部逻辑重构的半定制化电路，内部包括可配置逻辑模块CLB、输入输出模块IOB和内部连线三个部分，其以专用集成电路而最初出现。

优点：

1. 逻辑可编程：FPGA可以根据需求改变内部逻辑，在系统设计与验证阶段及时发现问题，无需定制专用电路，从而降低工程的开发周期和开发成本。
2. 并行运算：FPGA相比于CPLD有更多的寄存器部件，因此更适合“流水”型并行任务处理，适合时序任务，多个部件可同时运行。
3. 门电路数量丰富：便于实现个性化功能，被称作“万能芯片”，反复刻录。

缺点：

1. FPGA开发较困难：需要工程师对模块自顶而下地设计，实现，仿真和刻录等，同时调试还依赖软硬件的协同。
2. 成本高：实现同样逻辑的FPGA是ASIC芯片成本的10倍以上，因此FPGA芯片更加适用于高价值、批量小的应用场景，而不适合大规模工业生产。
3. 功耗：FPGA的芯片面积更大，更大规模的门电路导致芯片的功耗也随之上升。

* 简述你的中断实现方案。

答：UART的RX部件中主要由有限状态机构成，通过识别串口的启动信号和终止信号完成数据的传输，因此中断信号应添加在状态机中，当发出中断信号时应该满足数据完整且数据有效，数据完整的判定方法是STOP状态，数据有效的判定方法是存在有效的结束位（需要是采样点）。经过“仔细的阅读”，我发现模块中clk\_rf\_av这个reg型变量正好符合int信号发出的需求，因此使用其作为中断信号。

（为什么不用lsr中的rs从0到1变化作为中断信号？因为根据代码实现，rs从0到1是由clk\_rf\_av从0到1而造成的，但是其从1到0的变化只有是rst和over\_read才行，因此设想两个连续读入的数据之间rs应该是保持1不变，这样就无法产生中断读取第二个数据了。）

## 五、有关CPU扩展的说明

本CPU支持一定功能的扩展，需要在Verilog上进行改进。由于涉及到流水线的分层结构和冒险管理问题，因此较单周期CPU需要考虑的内容更多，因此在新增指令和调试时请务必参考以下的步骤。

1. 分析新增指令的需求，必要难以理解时及时借助MARS测试，将指令拆分为数据通路+控制逻辑。
2. 若时间充裕，以下所有的内容都应该**手稿分析后再实践**。
3. 数据通路：
   1. 根据指令需求绘制出数据通路图（注意分层和转发器位置）
   2. **先微观，再宏观：**若仅需细调部分部件功能，则实时调整；若需要新增通路，则应该以“尽量少增转发器和转发点”为原则构建，同时结合图与先前的数据通路表格，确定新增数据通路结构。
   3. 在完成数据通路搭建后，时间充裕情况下应进行检测。
4. 主控制指令：与单周期类似，可以**先按照单周期分析**，而后考虑流水线寄存器。若新增或修改指令，除此还需要考虑指令所在流水段，进行正确的添加。
5. ！冲突控制：分为暂停和转发
   1. 冲突控制一定要**借助通路图和工程化方法的指标**分析。
   2. 暂停：完善指令类型，明确指令的Tnew，加入到GID中。
   3. ！转发：
      1. 若无新通路产生，需求解Tuse，更改GID，并细致分析。
      2. 若有新的承载数据的通路，则TMux、GID、TRANSMIT可能需要都需要修改。
      3. 若有新的读取GRF的通路（不建议！），则需新增TMux，修改GID端口、修改TRANSMIT。
   4. 遇到问题：**看暂停表和CPU供给关键点图**。
6. 核查：沿着手绘的数据通路+两类控制单元复查。

1. L15-流水线工程化方法-2018-V1，高小鹏，北京航空航天大学《计算机组成课程设计》. [↑](#footnote-ref-1)